
ESERCIZIARIO

Corso di Devices and Circuits with High Energy Efficiency for IOT Applications

1 Introduzione

1.1 Il modello

Il seguente documento si basa sul modello semi-empirico che esprime la corrente I_{DS} di un transistor come:

NMOS

$$I_{DS} = W Q_{SUB} F_{SD} v_{th} = W I_0 \ln \left(1 + \exp \left(\frac{V_{gs} - V_t}{n \phi_t} \right) \right) \left(1 - \exp \left(- \frac{V_{DS}}{\phi_t} \right) \right)$$

PMOS

$$I_{DS} = W Q_{SUB} F_{DS} v_{th} = W I_0 \ln \left(1 + \exp \left(- \frac{V_{gs} - V_t}{n \phi_t} \right) \right) \left(1 - \exp \left(\frac{V_{DS}}{\phi_t} \right) \right)$$

In entrambi i casi $V_t = V_{t0p} - \lambda_{DS} V_{DS} + \lambda_{SB} V_{SB}$

Mentre $I_0 = \frac{t_{CH}}{2 - t_{CH}} C_{inv} n \phi_t v_{th}$

Che codificato in formato SPICE diventa:

NMOS	PMOS
<pre>***** *UNIVERSITA' DEGLI STUDI DI UDINE *Students: BERTONI LUCA, RICCARDO FONTANINI *Supervisor: Prof. ESSENI DAVID *Assistant Supervisor: Dott. Ing. ROLLO TOMMASO *MODELLO NMOS *14/02/2019 *****#PARAMETERS#***** *dimensions.....W,L=[m]; *thermal voltage....Vth=[V]; *non-ideal factor...n=[a.u.]; *thermal velocity...Term_V=[m/s]; *oxide cap.....Cinv=[F/m2]; ***** .subckt SUB_NMOS drainin gatein sourcein .param T = 300 .param W = 1e-6 .param L = 30e-9 .param n=1 .param tch = 0.70 .param Term_V = 1.23e5 .param Cinv = 0.020 .param Kds = 0.04 .param rpara = 60 .param Vt0n = 0.35 .param Vt0p = -0.35 .param Vt0 = {{(Vt0n)}} .param Vth= {BOLTZ * {{(T)}} / ECHARGE} .param Vt= {{(Vt0)}}-{{(Kds)}}*V(drain,source) .param I0= {{(Cinv)}} * {{(n)}} * Vth * Term_V * ({{(tch)}} / (2 - {{(tch)}})) } bswitch drain source I= {{(W)}} * I0 * LN(1+exp((V(gate,source)- Vt) / ({{(n)}} * Vth))) * (1-exp(-(V(drain,source))/ Vth))) *Parasitic drain, source, and gate resistances* rd drainin drain {{(rpara)}} rs sourcein source {{(rpara)}} rg gatein gate {{(.6)}} * Cg capacitance* C_GD gate drain {1e-16 * {{(W)}} * 1e6} C_GS gate source {1e-16 * {{(W)}} * 1e6} BC_GS gatein sourcein Q = {0.5 * {{(Cinv)}} * {{(W)}} * {{(L)}} * {{(n)}} * Vth * LN(1 + exp((V(gate,source) - Vt) / {{(n)}} * Vth)))} BC_GD gatein drainin Q={0.5 * {{(Cinv)}} * {{(W)}} * {{(L)}} * {{(n)}} * Vth * LN(1+exp((V(gate,drain)-Vt)/({{(n)}} * Vth)))} .ends</pre>	<pre>***** *UNIVERSITA' DEGLI STUDI DI UDINE *Students: BERTONI LUCA, RICCARDO FONTANINI *Supervisor: Prof. ESSENI DAVID *Assistant Supervisor: Dott. Ing. ROLLO TOMMASO *MODELLO PMOS *14/02/2019 *****#PARAMETERS#***** *dimensions.....W,L=[m]; *thermal voltage....Vth=[V]; *non-ideal factor...n=[a.u.]; *thermal velocity...Term_V=[m/s]; *oxide cap.....Cinv=[F/m2]; ***** .subckt SUB_PMOS drainin gatein sourcein .param T = 300 .param W = 1e-6 .param L = 30e-9 .param n=1 .param tch = 0.70 .param Term_V = 1.23e5 .param Cinv = 0.020 .param Kds = 0.04 .param rpara = 60 .param Vt0n = 0.35 .param Vt0p = -0.35 .param Vt0 = {{(Vt0p)}} .param Vth= {BOLTZ * {{(T)}} / ECHARGE } .param Vt= { {{(Vt0)}} - ({{(Kds)}} * V(drain,source)) } .param I0= { {{(Cinv)}} * {{(n)}} * Vth * Term_V * ({{(tch)}} / (2 - {{(tch)}})) } bswitch drain source I= {-({{(W)}} * I0 * LN(1+exp(- V(gate,source)-Vt) / ({{(n)}} * Vth))) * (1-exp((V(drain, source)) / Vth))) } *Parasitic drain, source, and gate resistances* rd drainin drain {{(rpara)}} rs sourcein source {{(rpara)}} rg gatein gate {{(.6)}} * Cg capacitance* C_GD gate drain {1e-16 * {{(W)}} * 1e6} C_GS gate source {1e-16 * {{(W)}} * 1e6} BC_GS gatein sourcein Q = { 0.5 * {{(W)}} * {{(L)}} * {{(Cinv)}} * {{(n)}} * Vth * LN(1 + exp(-(V(source,gate)-Vt) / ({{(n)}}*Vth)))} BC_GD gatein drainin Q={0.5 * {{(W)}} * {{(L)}} * {{(Cinv)}} * {{(n)}} * Vth * LN(1+exp(-(V(drain,gate)-Vt) / ({{(n)}}*Vth)))} .ends</pre>

I valori suggeriti per i parametri del modello sono:

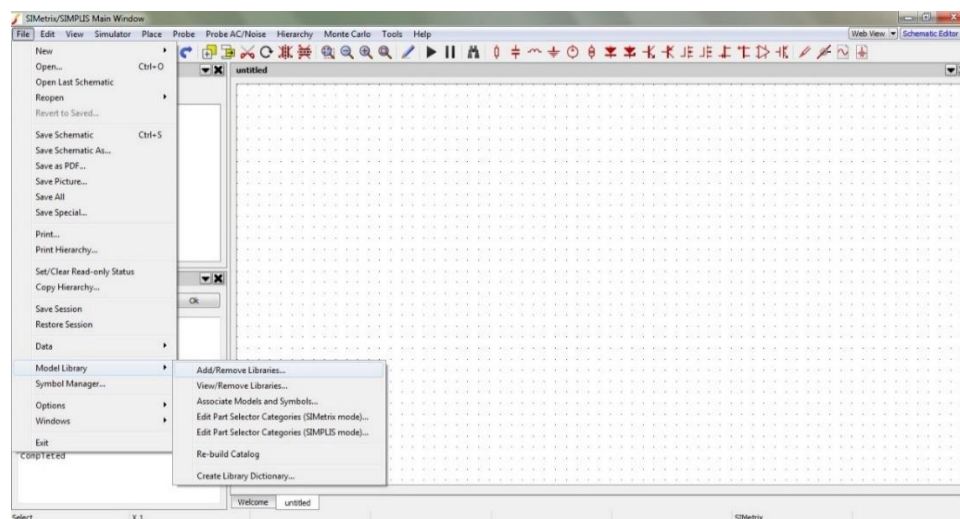
T [K]	W [m]	L [m]	Vt0n [V]	Vt0p [V]	n	tch	Term_V [m/s]	Cinv [F/m ²]	Kds	rpara [Ω]
300	1e-6	30e-9	0,35	-0,35	1	0,7	1,23e5	0,02	0,04	60

1.2 Procedura per il caricamento di una libreria o un modello in SIMETRIX

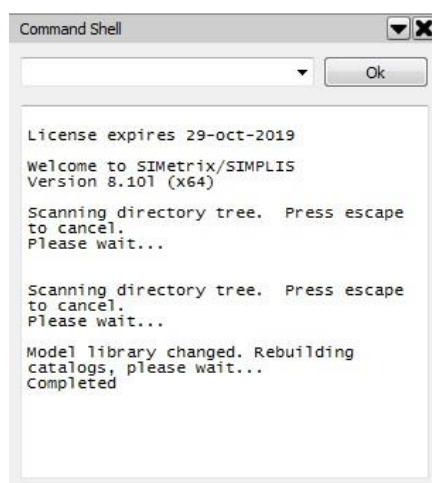
Per inserire un modello o una libreria in Simetrix è necessario andare su:

File > Model Library > Add/Remove Library

E selezionare il modello/libreria

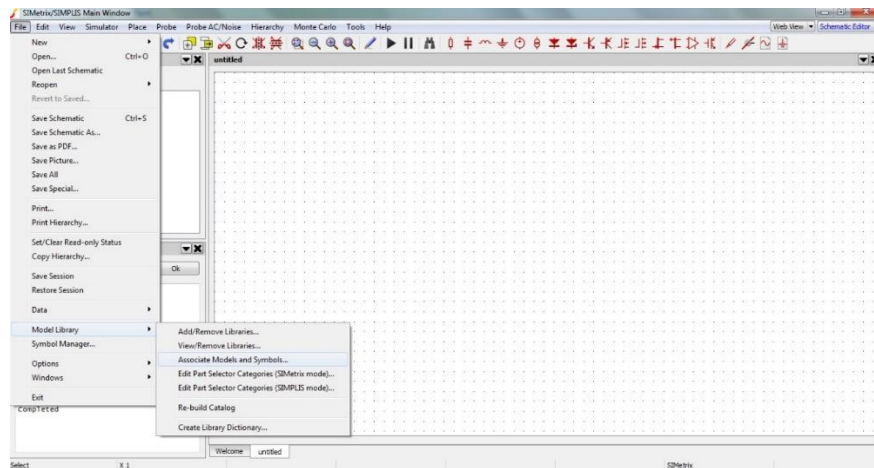


I messaggi visualizzati nella COMMAND SHELL che confermano l'avvenuto caricamento della libreria sono:

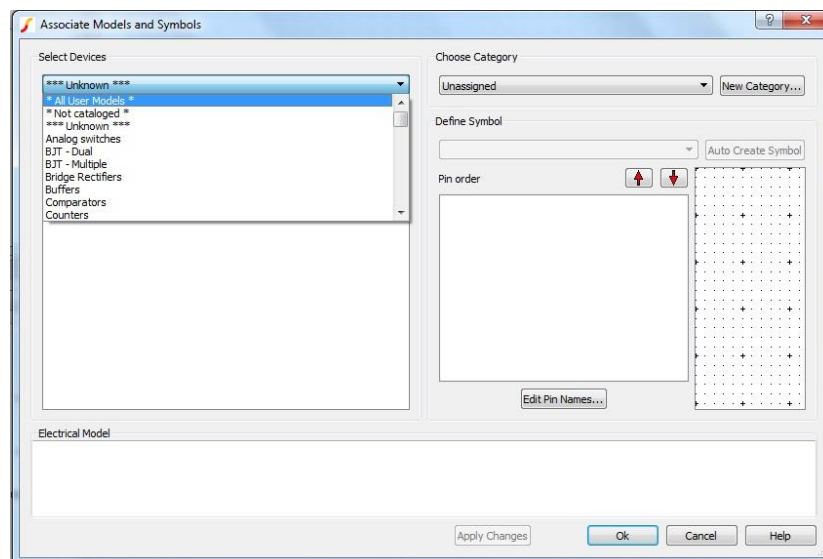


Prima di potere utilizzare il modello, è necessario associare un simbolo:

File > Model Library > Associate Models and Symbols



A questo punto apparirà una finestra con l'elenco dei file .mod associati alla libreria appena caricata nel simulatore.



Basterà selezionare il nome del modello che sarà presente alla voce *****Unknown***** e selezionare il simbolo in DEFINE SYMBOL.

2 Progetto 1: Curve I/V

2.1 Parametri di simulazione

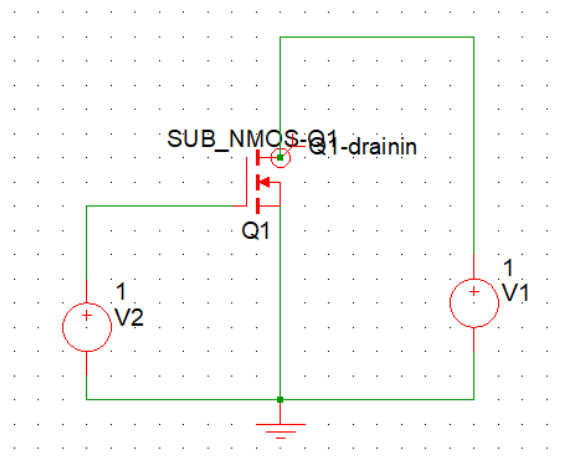
- $V_2 = 0.4V \ 0.6V \ 0.8V \ 1V$
- $V_1 = 0 - 1V$

2.2 Parametri del modello

T [K]	W [m]	L [m]	Vt0n [V]	Vt0p [V]	n	tch	Term_V [m/s]	Cinv [F/m ²]	Kds	rpara [Ω]
300	1e-6	30e-9	0,35	-0,35	1	0,7	1,23e5	0,02	0,04	60

2.3 Circuito e simulazione

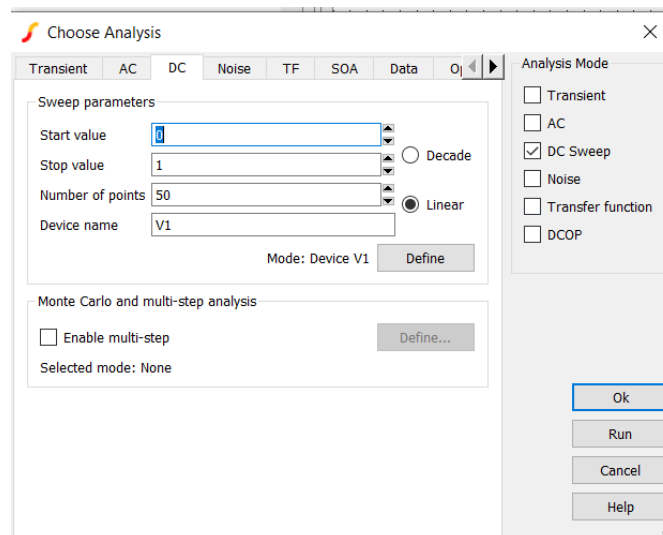
Per prima cosa è necessario aprire un nuovo schematico di tipo SIMetrix e disegnare il seguente circuito:



Il transistorore deve essere inserito nello schematico attraverso **Place > From Model Library...**

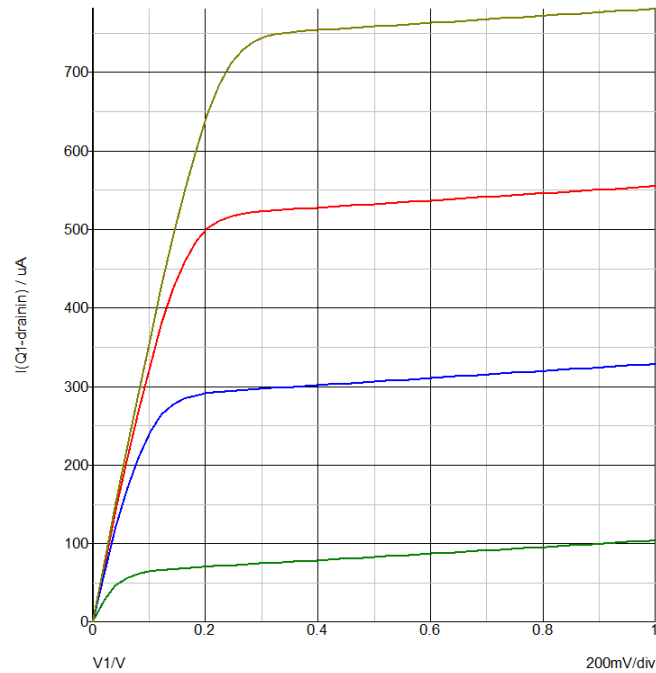
In questo modo è possibile utilizzare il modello precedentemente caricato. Successivamente è necessario impostare l'analisi, andando su **Simulator > Choose Analysis**.

Selezionare **DC Sweep** ed impostare i parametri precedentemente elencati.



L'analisi viene lanciata tramite il tasto Run

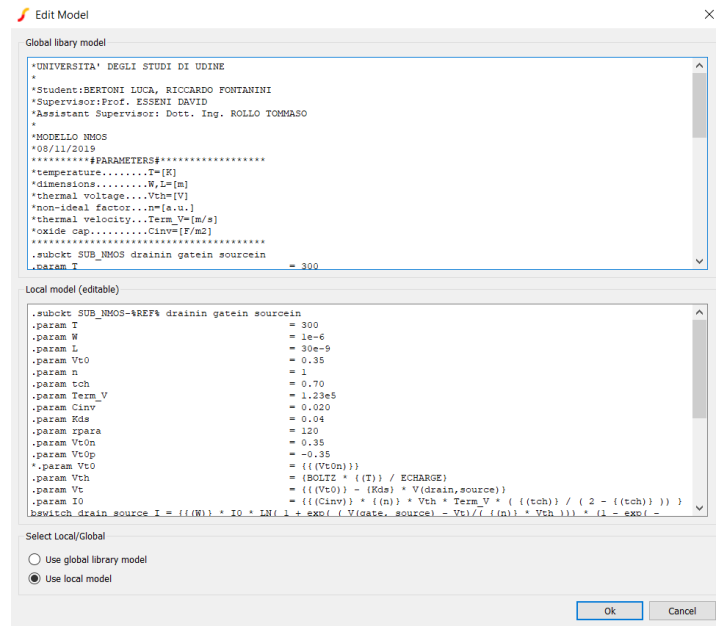
Eseguendo più analisi in modo consecutivo, variando i parametri elencati precedentemente, è possibile ottenere un grafico come il successivo:



Successivamente è possibile indagare il modello locale del transistor mediante diverse tensioni di soglia (V_{t0n}) e diverse resistenze di contatto (r_{para}).

Per farlo, premere il **tasto destro sul simbolo del transistor > View/Edit Model**.

A questo punto selezionare la spunta **Use local model**.



A questo punto è possibile modificare i parametri del modello per lo specifico transistor e rilanciare le analisi.

3 Progetto 2: Capacità di gate

3.1 Parametri di simulazione

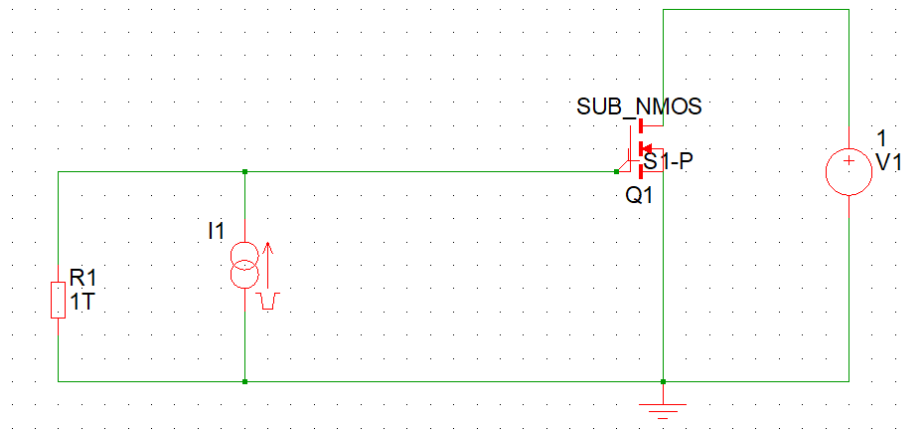
- Tempo massimo di elaborazione = 400ps
- Tempo di salita di I1 = 1ps
- Tempo di offset di I1 = 10ps
- Max Time Step = 500fs
- I1 = 400nA
- R1 = 1TΩ

3.2 Parametri del modello

T [K]	W [m]	L [m]	Vt0n [V]	Vt0p [V]	n	tch	Term_V [m/s]	Cinv [F/m ²]	Kds	rpara [Ω]
300	1e-6	30e-9	0,35	-0,35	1	0,7	1,23e5	0,02	0,04	60

3.3 Circuito e simulazione

Il circuito impiegato per la simulazione della capacità di gate di un transistor fa uso di un generatore ideale di corrente che al tempo $t = 0$ è spento. Per $t = 10$ ps il generatore viene acceso erogando una corrente continua di 400pA caricando il terminale di gate. La resistenza R1 ha un valore enorme ed è necessaria solo per far convergere la simulazione, ma ai fini della simulazione è influente.

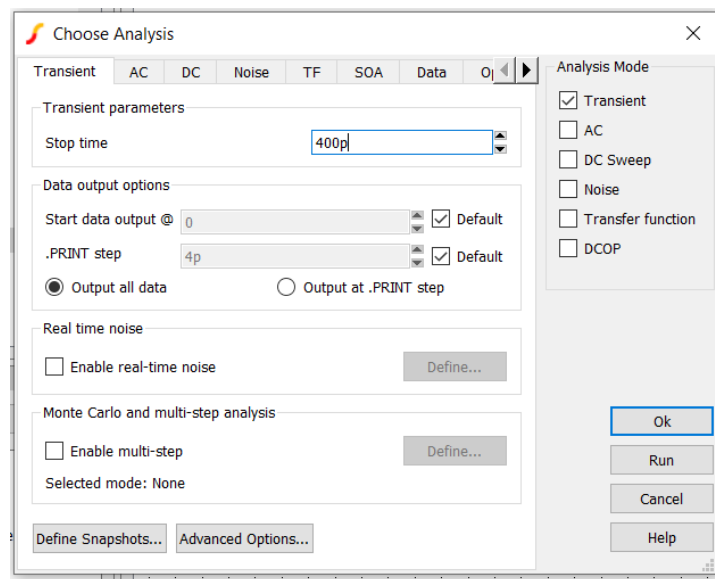


La corrente I1 carica linearmente nel tempo la capacità di gate quindi, per inferire dalla simulazione la capacità di gate in funzione della tensione V_{gs} , (sapendo che I1 è costante) è necessario calcolare:

$$C = \frac{\partial Q}{\partial V_G} = \frac{\partial Q}{\partial t} \frac{\partial t}{\partial V_G} = i_G \left(\frac{\partial V_G}{\partial t} \right)^{-1}$$

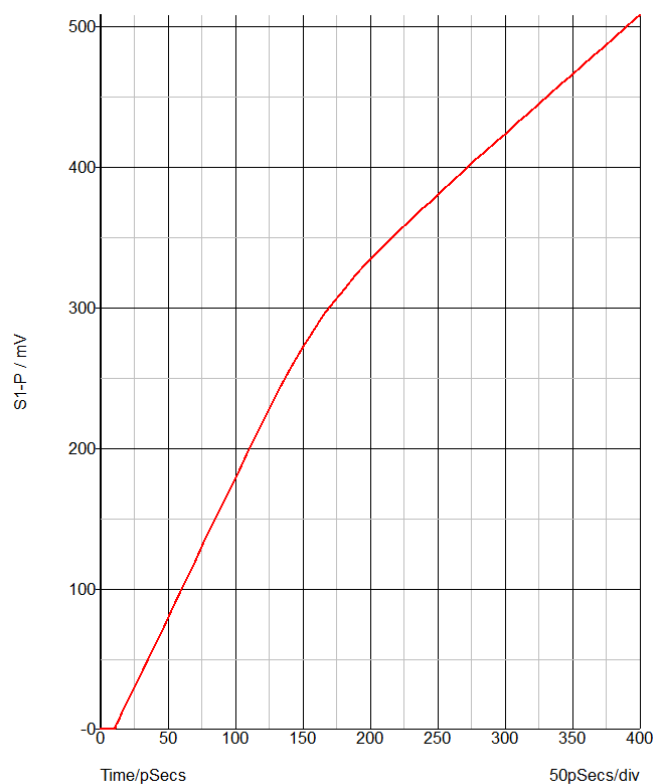
a partire dalla forma d'onda della tensione di gate in funzione del tempo, che il simulatore fornisce come risultato della simulazione.

La simulazione da impostare è descritta in figura:

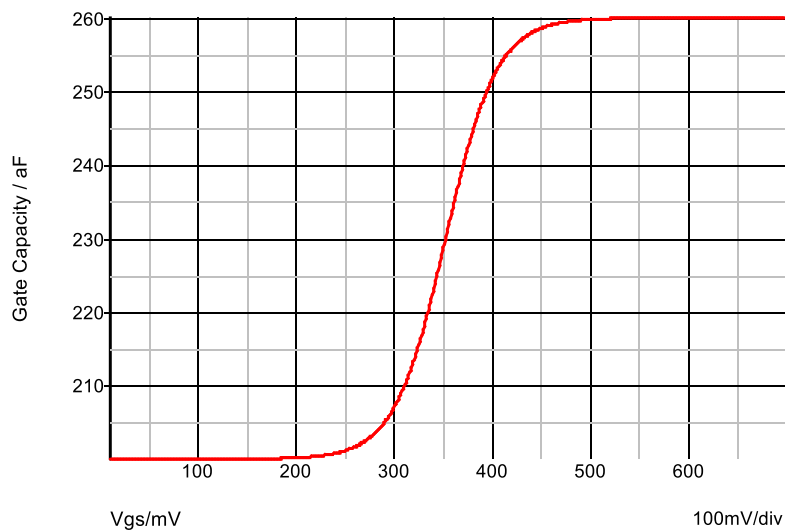


Si consiglia di impostare il Max Time Step a 500fs (**Advanced options**).

La tensione al gate simulata è riportata in figura:



Mentre la capacità simulata ha il comportamento in figura:



Come è possibile notare da questa ultima immagine, a tensioni basse (sottosoglia) la capacità di gate è dominata dai parassiti ed è sostanzialmente indipendente dalla tensione di gate. Successivamente, quando il transistor va in inversione, la capacità aumenta notevolmente a causa della carica di canale.

Per ottenere l'estrazione della capacità dalle simulazioni in funzione del tempo è necessario eseguire alcuni comandi a livello script (all'interno della Command Shell o utilizzando uno Script File) elencati nella sezione successiva.

3.4 Script

```
let current = 400n
let vgs = Q1.gatein
let vgs = Truncate(vgs, 12p, 400p)
let dv = diff(vgs)
let cg = dv^-1 * current
setRef cg vgs
Plot cg /name "Gate Capacity" /Yunit "F" /xlabel "Vgs"
```

4 Progetto 2: Caratteristica I/O di invertitore

4.1 Parametri di simulazione

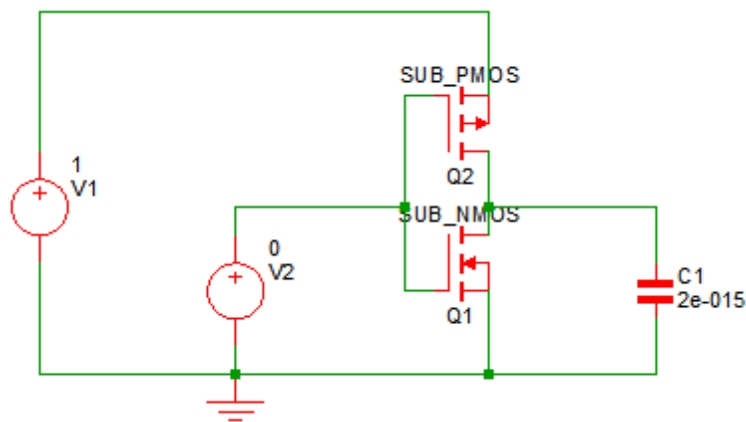
- $C1 = 2f$
- $\text{minVGSstep} = 10m$
- $VDD = 0V - 1V$
- Variazione $VDD = 0.1V$

4.2 Parametri del modello

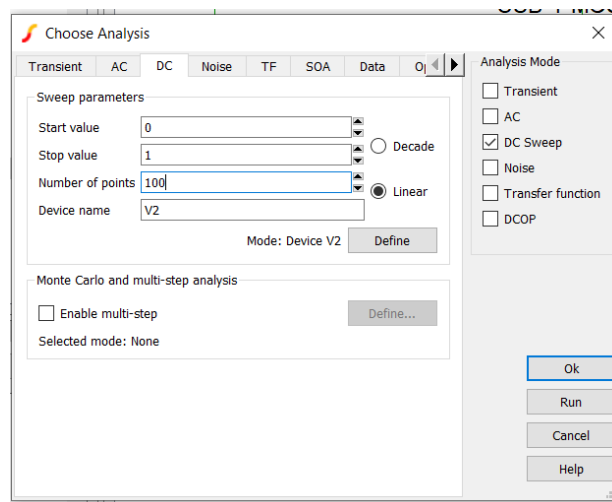
T [K]	W [m]	L [m]	Vt0n [V]	Vt0p [V]	n	tch	Term_V [m/s]	Cinv [F/m ²]	Kds	rpara [Ω]
300	1e-6	30e-9	0,3	-0,3	1.3	0,7	1,23e5	0,02	0,2	60

4.3 Circuito e simulazione

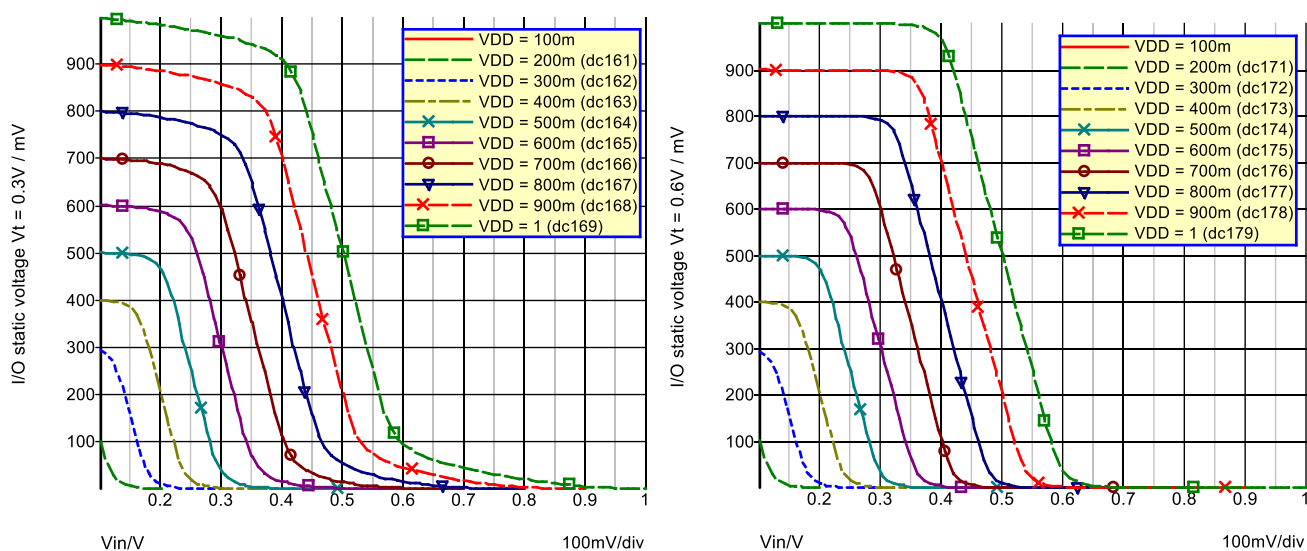
Per la simulazione della porta NOT, e la comprensione di come variano le caratteristiche di tale porta logica in relazione alla variazione dei parametri dei transistori, è necessario utilizzare il circuito mostrato nella figura precedente:



L'analisi deve essere impostata come in figura:



L'analisi più semplice da operare sulla porta not è quella della caratteristica statica ingresso-uscita. In particolare, si può notare dai seguenti grafici come tale transcaratteristica abbia profili più netti al crescere della V_{t0} (uguale in modulo per entrambi i transistori).

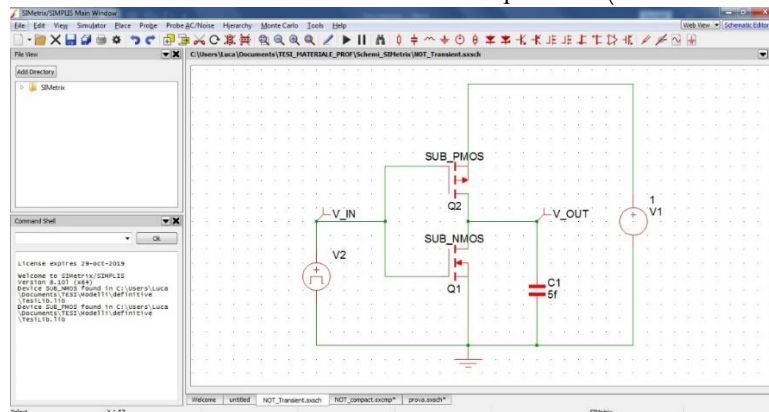


È possibile visualizzare lo sbilanciamento della caratteristica variando la tensione di soglia o altri parametri dei transistori. In particolare, la seguente immagine mostra come la caratteristica varia in relazione all'abbassamento della tensione di soglia del transistor NMOS da 0.35V a 0.20V:

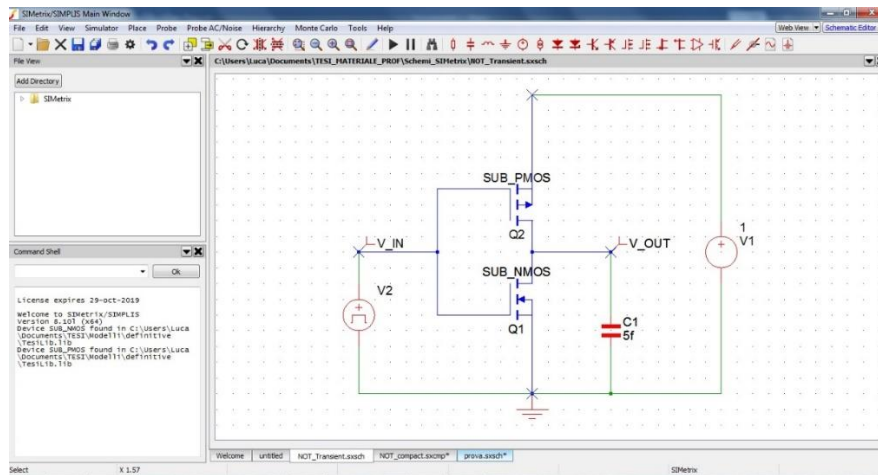


4.4 Procedura per la creazione di sotto-circuiti

Aprire lo schematico del circuito che si vuole “compattare” (es. circuito invertitore)



Selezionare gli elementi del circuito che si vuole utilizzare per il sotto-circuito e copiarli (CTRL+C)



Aprire un nuovo file:

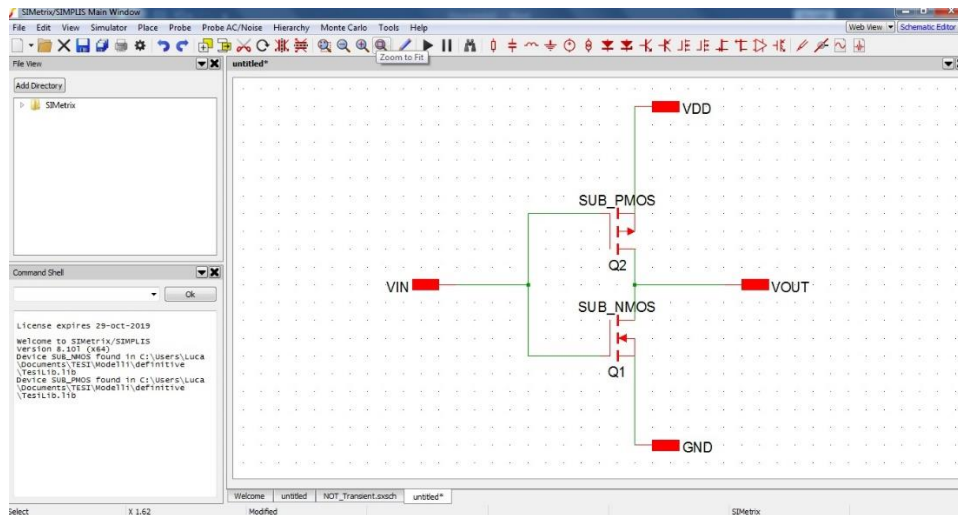
File > New > SIMetrix Schematic

Incollare la parte di schematico copiata precedentemente (CTRL+V).

Inserire i pin globali (tasto H):

Place > Hierarchy > Module Port

I pin globali permettono di interagire con il sotto-circuito una volta terminato il processo di integrazione e si possono rinominare con un doppio click sul pin stesso.

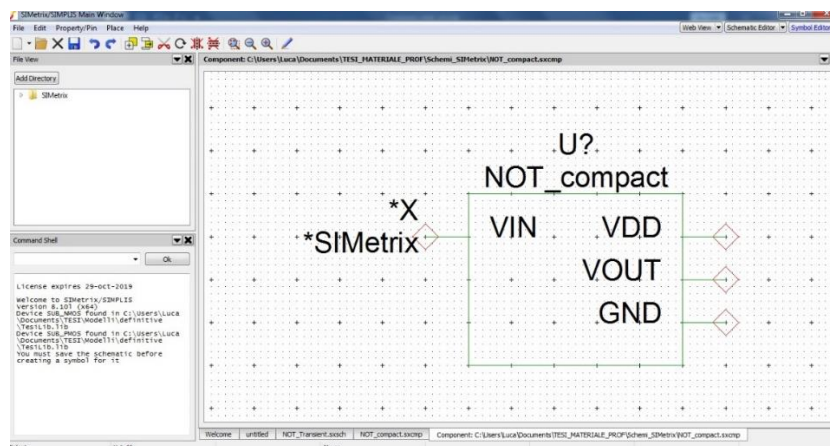


Prima di procedere è necessario salvare il “nuovo” schematico.

Disegnare una forma geometrica del simbolo che sarà visualizzato al posto del circuito nelle future applicazioni:

Hierarchy > Open/Create Symbol for Schematic (tasto “S”)

- 1) Non eliminare l’etichetta “U?”, potrebbe dare degli errori di pin flottante durante l’implementazione dei circuiti futuri;
- 2) SIMetrix definisce in modo automatico la disposizione dei terminali globali e la forma geometrica del simbolo come rappresentato nella figura successiva.



Procedere con il salvataggio del simbolo.

4.5 Utilizzo dei circuiti “compatti”

Aprire un nuovo file schematico, salvarlo ed inserire il circuito “compattato” con:

Place > Hierarchy > Component (Relative Path)

